

Universität Karlsruhe (TH)
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen
Wintersemester 2008/09
Aufgabenteil

Aufgabe 1: Quantifizierung

10P

Low-Power-Entwurf

5P

- a) Die Formel für die Leistungsaufnahme einer CMOS-Schaltung beträgt näherungsweise $P = U^2 * f * C_{eff}$. **1P**
- Mit Blick auf die Formel: Erklären Sie kurz, wieso das Übertakten einer Schaltung typischerweise auch eine Erhöhung der Spannungsversorgung erfordert. **0,5P**
 - Sukzessive Verbesserung von Fertigungsprozessen erlaubte die Absenkung der Versorgungsspannung von Prozessoren auf heutzutage bis zu 0,8V statt ehemals 5V. Dennoch ist heute bei typischem Betrieb eine – von der Komplexitätszunahme der Prozessoren unabhängige – massive Steigerung der Leistungsaufnahme zu beobachten. Erklären Sie diesen Umstand kurz vor dem Hintergrund obiger Formel. **0,5P**
- b) Die Leistungsaufnahme P_{total} von CMOS-Schaltungen zerfällt in einen dynamischen und einen statischen Anteil. **3P**
- Aus welchen Teilleistungen setzen sich der dynamische und der statische Anteil jeweils zusammen? **2P**
 - Welcher Bestandteil der Leistungsaufnahme spielt aufgrund immer weiterer Miniaturisierung eine mittlerweile signifikante Rolle und wie wird diesem – neben fertigungstechnischen Methoden – begegnet? **1P**
- c) Die weitere Steigerung der Taktrate bei gleichzeitig zunehmender Integrationsdichte ist aus rein thermischen Gesichtspunkten begrenzt. Welche Maßzahl hat mittlerweile eine kritische Größe erreicht und woraus setzt sie sich zusammen? **1P**

Leistungsbewertung von Rechensystemen

5P

- d) Ein Hersteller preist seine CPU lediglich über die Taktrate an. Welche wesentliche Leistungsangabe fehlt hierbei und in welcher Einheit wird sie angegeben? **0,5P**
- e) Was stellen standardisierte Benchmarks sicher? **1P**
- f) Bei der Durchführung standardisierter Benchmarks wie beispielsweise dem SPEC-Benchmark ist auf gleiche Rahmenbedingungen zu achten. Um welche Rahmenbedingungen handelt es sich hier und warum sind diese strikt einzuhalten? **1P**
- g) Die SPEC-Benchmark-Suite erlaubt die Bewertung unterschiedlicher Leistungsaspekte. Geben Sie hierzu exemplarisch zwei Benchmark-Pakete an und was hiermit gemessen wird. **1P**

- h) Welche Maßzahl liefert der SPEC-Benchmark zum direkten Vergleich von Rechensystemen und wie ist sie definiert? **1P**
- i) Auch die Maximalleistung eines Systems kann über den SPEC-Benchmark ermittelt werden. Welche Konfiguration des Benchmarks kommt hierbei zum Einsatz? **0,5P**

Aufgabe 2: Hardwareentwurf

10P

- a) Eine Prozessorarchitektur ist iterativ fortentwickelt worden. Dem aktuellen Datenblatt entnehmen Sie, dass sich nicht jede Adressierungsart mit jedem ALU-Befehl verwenden lässt. Welcher Gestaltungsgrundsatz wurde hier verletzt und was sagt dieser Gestaltungsgrundsatz allgemein aus? **1P**

- b) In einem exemplarischen Assembler-Code finden Sie folgende Sequenz: **1P**

```
ADD R3, R1, R2
SUB R1, R2
```

Welcher Gestaltungsgrundsatz wurde hier verletzt und worin besteht in diesem Fall die Verletzung?

- c) Das sogenannte NoTA-Konzept erlaubt den Aufbau von eingebetteten Systemen aus einzelnen, streng gekapselten Modulen. Jedes dieser Module verfügt über eine spezifizierte Schnittstelle. Die Kommunikation zwischen den einzelnen Modulen erfolgt über einheitliche, festgelegte Kommunikationsbusse. **3P**
- (c.1) Welches kaufmännisch motivierte Prinzip liegt diesem Ansatz zugrunde? *0,5P*
- (c.2) Durch welches Entwurfskonzept wird dies technisch realisiert und in welcher Form finden Sie dieses Konzept in der Entwurfssprache VHDL wieder? *1P*
- (c.3) In welchem Teil der VHDL-Schaltungsbeschreibung findet die Kapselung der einzelnen Module statt? *0,5P*
- (c.4) In welchem Teil der VHDL-Schaltungsbeschreibung wird die letztendliche Funktionsbeschreibung dieser Module vorgenommen? *0,5P*
- (c.5) Welcher zusätzliche Teil der VHDL-Schaltungsbeschreibung ist für die Überprüfung der einzelnen Module auf korrekte Funktion erforderlich? *0,5P*
- d) In einer VHDL-Beschreibung finden Sie folgendes Codefragment: **1,5P**
- ```
x<=(not (a) and b) or (a and not (b)) ;
```
- Welche logische Funktion  $x=f(a,b)$  wird hier beschrieben? *0,5P*
  - Wie können Sie diese Funktion in VHDL alternativ, d.h. nicht als booleschen Funktionsterm, beschreiben? *1P*

- e) In einer VHDL-Beschreibung soll die nebenläufige Signalzuweisung **3,5P**  
`x<='1' when a='1' and b='1' else '0';`  
in eine sequentielle Anweisung überführt werden, bei der der resultierende Wert in einem Flipflop gespeichert wird. Die Speicherung erfolge mit der fallenden Taktflanke des Taktsignals `clk`.
- (e.1) Führen Sie diese Anpassung unter vollständiger Formulierung der notwendigen VHDL-Anweisung durch. *1,5P*
- (e.2) Welche Signalrichtung müssen `a` und `b` gemäß ihrer Verwendung in obiger Zuweisung aufweisen und mit welchem Schlüsselwort werden diese in VHDL deklariert? *1P*
- (e.3) `x` sei bereits entsprechend als Speicherglied ausformuliert. Direkt auf die entsprechende Wertezuweisung von `x` finden Sie die Zuweisung `y<=x`. Sei  $x = x_t$  der zum Zeitpunkt  $t$  in `x` eingespeicherte Wert. Welcher Wert wird aufgrund der beschriebenen Zuweisung in `y` gespeichert sein? *1P*

---

### Aufgabe 3: Prozessorarchitektur

10P

- a) Für eine Pipeline-Architektur findet sich oft die Angabe  $CPI=1$ . Warum lässt sich dieser Wert ungeachtet von zusätzlich auftretenden Konflikten generell nicht und daher nur näherungsweise erreichen? **1P**

#### Sprungvorhersage:

5P

- b) Welches Programmkonstrukt wird durch den statischen Prädiktor mit der Funktionsweise „Rücksprünge nehmen, Vorwärtssprünge nicht“ unterstützt und warum? **1P**
- c) Ein einfacher dynamischer Prädiktor ist der 2-Bit-Prädiktor mit Sättigungszähler. **2P**
- (c.1) Zeichnen Sie das Zustandsdiagramm für diesen Prädiktor. **1P**
- (c.2) Wie kann dieser Prädiktor verbessert werden? Was wird hierzu getan und welcher Nutzen (nicht Effekt!) wird hierdurch erzielt? **1P**
- d) In der Übung wurden die gselect- und gshare-Prädiktoren vorgestellt. **2P**
- (d.1) Welches ist die besondere Stärke dieser beiden Prädiktoren im Vergleich zu anderen einfachen dynamischen Prädiktoren? Was wird durch ihre spezifische Funktionsweise vermindert? **1P**
- (d.2) Bilden Sie den Index für gselect4/4 und gshare8/8. Vervollständigen Sie hierzu die auf dem Lösungsblatt eingetragene Tabelle. **1P**

#### Parallelismus auf Befehlsebene :

4P

- e) Der Tomasulo-Algorithmus ist eine Möglichkeit zur Ausnutzung von Parallelismus auf Instruktionsebene. Die vereinfachte Tomasulo-Pipeline hat die 3 Stufen Issue, Execute (Ausführung), Writeback (Rückschreibphase). Beschreiben Sie kurz, welche Aufgaben in diesen 3 Phasen jeweils durchgeführt werden. **3P**
- f) Die IA64-Architektur unterstützt zwei Methoden, mittels derer Ladeoperationen im Code spekulativ vorgezogen werden können. Um welche 2 Methoden handelt es sich? **1P**

---

## **Aufgabe 4: Parallelverarbeitung** 10P

### **Parallelisierung und Parallelverarbeitung:** 3P

- a) Geben Sie die Klassifizierung von Rechensystemen nach M. Flynn an. Was ist der grundlegende Schwachpunkt der Flynnschen Klassifizierung, der vor allem bei der Klassifizierung heutiger Prozessoren ersichtlich wird? **1P**
- b) Als Programmierer sollen Sie ein gegebenes Problem möglichst effizient auf einem Parallelrechner umsetzen. Geben Sie die beim Parallelisierungsprozess durchzuführenden Schritte an. **2P**

### **Quantitative Maßzahlen:** 1P

- c) Die Ausführungszeit eines parallelen Programms setzt sich aus drei Teilen zusammen. Geben Sie hierfür eine Formel an und kommentieren Sie die Teile kurz. **1P**

### **Verbindungsnetze:** 4P

- d) Welches Problem tritt bei der Verwendung einer Baumstruktur als Verbindungsnetzwerk auf? Durch welche Lösung wird es in der Praxis abgemildert? **2P**
- e) Welche zwei grundsätzlichen Typen von Verbindungsnetzwerken existieren? Welche Grundelemente werden zum Aufbau nicht festverdrahteter, mehrstufiger Verbindungsnetzwerke typischerweise verwendet? **2P**

### **Multiprozessoren:** 2P

- f) Welches Problem tritt auf, wenn mehrere Prozessoren jeweils unabhängig voneinander auf Speicherwörter des Hauptspeichers in einem System mit gemeinsamen Speicher zugreifen können? **1P**
- g) Durch welche Methode kann die Ausführung einer Folge voneinander abhängiger Vektoroperationen beschleunigt werden? Erklären Sie diese kurz. **1P**

## Aufgabe 5: Speicherhierarchie

10P

### Cache-Leistung

3,5P

Beim Entwurf eines Systems stehen zwei Entwurfalternativen zur Auswahl. In beiden Entwurfalternativen kommt eine zweistufige Cache-Hierarchie zum Einsatz. Entwurfalternative A beinhaltet einen kleinen L1-Cache mit einer Zugriffszeit von  $t_{A(L1)} = 10 \text{ ns}$ , sowie einen L2-Cache mit einer Zugriffszeit von  $t_{A(L2)} = 30 \text{ ns}$ . In Entwurfalternative B kommt ein größerer L1-Cache mit einer Zugriffszeit von  $t_{B(L1)} = 12 \text{ ns}$  zum Einsatz sowie ein L2-Cache mit einer Zugriffszeit von  $t_{B(L2)} = 25 \text{ ns}$ . Die Zugriffszeit des Hauptspeichers sei in beiden Entwurfalternativen gleich und betrage  $t_{Mem} = 100 \text{ ns}$ .

- a) Geben Sie die allgemeine Formel zur Berechnung der mittleren Zugriffszeit  $t_a$  in einer zweistufigen Cache-Hierarchie an. **1P**
- b) Bei der Evaluation beider Entwurfalternativen wurden folgende Hit-Raten gemessen: **2,5P**
- Alternative A:  $r_{A(L1)} = 70 \%$ , sowie  $r_{A(L2)} = 50 \%$
  - Alternative B:  $r_{B(L1)} = 80 \%$ , sowie  $r_{B(L2)} = 30 \%$

Für welche Entwurfalternative würden Sie sich entscheiden? Begründen Sie ihre Antwort.

### Cache-Kohärenzprotokolle

6,5P

- c) Worin besteht der Unterschied zwischen Write-Invalidate- und Write-Update-Protokollen? **2P**

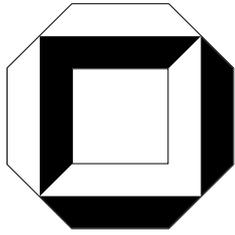
Ein Dreiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cachezeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das MESI-Protokoll zum Einsatz.

- d) Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MESI-Zustand an. **3,5P**
- e) Unabhängig von der erzielten Lösung in der vorherigen Teilaufgabe: Welche Arten des durch das MESI-Protokoll bedingten Hauptspeicherzugriffe würden bei Verwendung des MOESI-Protokolls wegfallen? Was würde stattdessen stattfinden? **1P**

## Aufgabe 6: Fehlertoleranz

10P

- a) Den zeitlichen Verlauf welchen Parameters (Bezeichner und Name) gibt die sogenannte Badewannenkurve wieder? Wie ist der Zusammenhang dieses Parameters mit der sogenannten MTBF unter der Voraussetzung  $MTTR \ll MTTF$ ? **1P**
- b) Hersteller geben für ihre Produkte typischerweise einen MTBF-Wert an. **2P**
- Wofür steht MTBF und aus welchen Teilgrößen setzt sich dieser Parameter zusammen? **1P**
  - Welche Voraussetzung gilt für den MTBF-Wert und auf welche Phase der Badewannenkurve ist er deshalb beschränkt? **1P**
- c) Ein Netzwerkknoten sei als Fail-Silent-System implementiert. Was bedeutet dies hinsichtlich der Aussendung von Nachrichten durch diesen Knoten? Worin liegt der Unterschied zu einem Fail-Stop-System? **1P**
- d) Beim Aufbau fehlertoleranter Rechensysteme wird unterschieden zwischen den Konzepten Cold Standby, Hot Standby und Graceful Degradation. **3P**
- Geben Sie für Cold und Hot Standby jeweils einen konzeptuellen Vor- sowie Nachteil des Ansatzes an. **1P**
  - Wie verhält sich ein System mit Graceful Degradation im Fehlerfall? **1P**
  - Ein Beispiel für ein System mit Graceful Degradation ist ein n-aus-m-System. Geben Sie die allgemeine Formel für die Funktionswahrscheinlichkeit eines solchen Systems an. **1P**
- e) Eine redundante Recheneinheit beinhalte drei Rechenknoten mit der jeweiligen Funktionswahrscheinlichkeit  $\Phi(R)$ . Zum Betrieb des Systems ist nur einer der drei Rechenknoten erforderlich. Ermitteln Sie die Funktionswahrscheinlichkeit  $\Phi(R_{1,2,3})$  der gesamten Recheneinheit. **1P**
- f) Das Gesamtsystem bestehe zusätzlich zu den drei, in der vorherigen Aufgabe genannten redundanten Rechenknoten  $R_1$  bis  $R_3$  aus zwei redundanten Netzteilen  $N_1$  und  $N_2$ , einem gemeinsamen Hauptspeicher  $H$  und zwei nichtredundanten Festplattenspeichern  $F_1$  und  $F_2$ . **2P**
- Geben Sie Zuverlässigkeitsblockdiagramm und Systemformel an.



**Universität Karlsruhe (TH)**  
Institut für Technische Informatik  
Prof. Dr. Wolfgang Karl

# **Klausur Rechnerstrukturen**

## **Wintersemester 2008/09**

### **Lösungsteil**

Name: \_\_\_\_\_  
Vorname: \_\_\_\_\_  
Matrikelnummer: \_\_\_\_\_

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

**Hinweis:** Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- ( ) Ich wünsche **keine** Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett  
(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)

Erreichte Punkte (wird vom Institut ausgefüllt):

| Aufgabe | 1   | 2   | 3   | 4   | 5   | 6   |
|---------|-----|-----|-----|-----|-----|-----|
| Punkte  | /10 | /10 | /10 | /10 | /10 | /10 |
| Summe:  |     |     |     |     |     | /60 |

**Lösung 1: Quantifizierung***10P*

a) Erklärung Übertaktung:

**1P**

Erklärung Leistungszunahme:

b) Dynamisch:

**3P**

Statisch:

Antwort:

c) Antwort:

**1P**

d) Antwort:

**0,5P**

e) Antwort:

**1P**

f) Antwort:

**1P**

g) Antwort:

**1P**

h) Antwort:

**1P**

i) Antwort:

**0,5P**

**Lösung 2: Hardwareentwurf***10P*

a) Antwort:

**1P**

b) Antwort:

**1P**

c) Antwort:

**3P**

d)

**1,5P**

• Antwort:

*0,5P*

• Antwort:

*1P*

Name:

Matrikelnummer:

5/13

---

e)

**3,5P**

(e.1) Antwort:

*1,5P*

(e.2) Antwort:

*1P*

(e.3) Antwort:

*1P*

**Lösung 3: Prozessorarchitektur***10P*

a) Antwort:

**1P**

b) Antwort:

**1P**

c)

**2P**

(c.1) Zustandsautomat:

*1P*

(c.2) Antwort:

*1P*

d)

**2P**

(d.1) Antwort:

*1P*

(d.2)

| Adressteil | BHR      | gselect 4/4 | gshare 8/8 | <i>1P</i> |
|------------|----------|-------------|------------|-----------|
| 00000001   | 10000000 |             |            |           |
| 10100101   | 00000011 |             |            |           |

e)

**3P**

• Phase 1:

• Phase 2:

• Phase 3:

f)

**1P**

• Methode 1:

*0,5P*

• Methode 2:

*0,5P*

**Lösung 4: Parallelverarbeitung***10P***Parallelisierung und Parallelverarbeitung:***3P*

a) Klassifizierung:

**1P**

Grundlegender Schwachpunkt:

b) Schritte bei der Parallelisierung:

**2P****Quantitative Maßzahlen:***1P*

c) Formel:

**1P**

Erklärung:

**Verbindungsnetze:**

4P

d) Problem:

2P

Lösung:

e) Grundsätzliche Typen:

2P

Grundelemente:

**Multiprozessoren:**

2P

f)

1P

g) Methode:

1P

Erklärung:

**Lösung 5: Speicherhierarchie***10P***Cache-Leistung***3,5P*

a) Formel:

**1P**

b) Antwort:

**1.5P****Cache-Kohärenzprotokolle***6,5P*

c) Antwort:

**1P**

d) Tabelle siehe nächste Seite

**3,5P**

e) Antwort:

**1P**

Tabelle zu Aufgabe 1d:

| Prozessor | Aktion | Prozessor 1 |        | Prozessor 2 |        | Prozessor 3 |        |
|-----------|--------|-------------|--------|-------------|--------|-------------|--------|
|           |        | Line 1      | Line 2 | Line 1      | Line 2 | Line 1      | Line 2 |
|           | init   | -           | -      | -           | -      | -           | -      |
| 1         | rd 4   | 4/E         |        |             |        |             |        |
| 3         | rd 4   | 4/S         |        |             |        | 4/S         |        |
| 2         | rd 3   |             |        | 3/E         |        |             |        |
| 2         | wr 5   |             |        |             | 5/M    |             |        |
| 1         | rd 2   |             |        |             |        |             |        |
| 2         | wr 4   |             |        |             |        |             |        |
| 2         | rd 1   |             |        |             |        |             |        |
| 3         | rd 4   |             |        |             |        |             |        |
| 3         | rd 3   |             |        |             |        |             |        |
| 1         | wr 1   |             |        |             |        |             |        |
| 3         | rd 1   |             |        |             |        |             |        |

**Lösung 6: Fehlertoleranz***10P*

a) Parameter:

**1P**

Zusammenhang mit MTBF:

b) Antwort:

**2P**

c) Antwort:

**1P**

d) Antwort:

**3P**

Name:

Matrikelnummer:

13/13

---

e) Berechnung:

**1P**

f) Zuverlässigkeitsblockdiagramm:

**2P**

Systemformel: